

RFP관리번호	2025-반도체·디스플레이-품목공모-05			공모유형	품목공모형	
해당여부	<input checked="" type="checkbox"/> 국가전략기술 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 글로벌 R&D <input type="checkbox"/> 미래소재 <input type="checkbox"/> 전략연구사업(MPX(예정) <input type="checkbox"/> 국방전략기술(예정)					
국책연구기획 평가전문분야1	PM분야	반도체· 디스플레이	RB분야	SI반도체	RB세부분야	뉴로모픽 소자
사업명	원천기술개발사업 - 차세대지능형반도체기술개발(소자)(R&D) - 신소자원천기술개발					
RFP명	Edge computing을 위한 다기능 스마트 배선 기술 기반 삼차원 나노전기기계 시스템 개발					
	(TRL : [시작] 4단계 ~ [종료] 5단계)					
RFP유형코드	사업목적·내용	성과물 특성		지원대상	보안과제 분류	일반
	R	1	-	1		
1. 추진배경						
<div> <input type="checkbox"/> 추진배경 <ul style="list-style-type: none"> ○ 엣지 컴퓨팅 (edge computing)은 사용자에게 근접한 edge에서 컴퓨팅 능력을 이용하여 서비스를 제공하는 기술로서 시장조사 기관인 가트너 (Gartner)에 의하여 전략기술 중 하나로 선정 (“Cloud to the Edge”)될 정도로 높은 관심을 받고 있음 ○ 엣지 컴퓨팅은 낮은 속도 지연 (latency), 전력소모, 네트워크 트래픽이 필요한 VR/AR, connected car, 자율주행등에 널리 이용이 가능하며, 이를 위한 반도체 시스템은 연산, 보안에 관련된 요소들이 고집적, 고밀도로 집적되면서도 저전력, 고성능, 신뢰성을 만족시켜야 함 ○ 상기의 기술적인 도전을 극복하고자 다양한 반도체 소자 기술에 기반한 아이디어들이 제안되고 활발하게 연구되고 있으나 반도체 산업의 주류를 형성하고 있는 CMOS baseline 기술과는 상당한 공정적, 물질적 괴리가 존재하여 실용화가 어려울 수 있음 ○ 실용화 가능성이 높은 엣지 컴퓨팅을 구현하기 위해서는 기술적으로 성숙한 CMOS 소자/공정/설계 기술을 대부분 그대로 사용하면서도 CMOS 배선 기술을 일부만 변형하는 스마트 배선 기술을 이용할 수 있음. 스마트 배선 기술은 기존의 CMOS baseline 칩이 사실상 삼차원 반도체 칩으로 동작하게 함으로써 실용성 높은 엣지 컴퓨팅이 가능하게 됨 ○ 스마트 배선 기술을 이용한 나노전기기계 (NEM: nanoelectromechanical) 소자는 CMOS 배선층에 위치한 하나의 소자에서 다양한 연산 (e.g. content addressable memory (CAM), multiply-accumulate (MAC), physically unclonable function (PUF) 등)을 수행함으로써, CMOS 반도체 칩이 edge computing에 적합한 삼차원 지능형 반도체 시스템으로 변환될 수 있음 </div> <div> <input type="checkbox"/> 기획 주안점 <ul style="list-style-type: none"> ○ 초저전력, 고집적의 신뢰성 있는 edge computing을 CMOS 소자/공정/회로 기술 기반으로 구현하기 위하여 CMOS 배선 층에 NEM 소자를 저전압, 고집적으로 구현하는 소자/공정 기술 개발이 필요 </div>						

- NEM 소자 모델링과 이를 기반으로 한 CMOS 소자/회로와 배선 층의 NEM 소자가 통합된 설계 플랫폼 구축이 필요
- NEM 소자가 다른 CMOS 배선층에 미치는 영향을 최소화 할 수 있는 소자/공정 기술이 개발되어야 함
- NEM 소자를 이용하여 CAM, MAC, PUF 등의 다양한 연산을 높은 에너지 효율로 구현할 수 있는 소자/설계/아키텍처 기술 개발이 필요
- NEM 소자가 기존의 CMOS 소자/회로 및 배선층과 양산성있게 결합되는 소자/공정 기술의 개발이 필요
- 스마트 배선 기술을 이용한 삼차원 CMOS-NEM 지능형 반도체 칩의 동작을 검증하기 위한 주변 회로 및 구조 기술 개발이 필요

2. 연구개발목표

○ 최종 목표 :

- CMOS 배선층에 집적가능한 NEM 소자 개발 및 edge computing에 적합한 시간 도메인 지능형 반도체 연산 시스템의 구현

○ 세부목표 :

(1) NEM 소자 특성

- CMOS baseline 공정 노드 ≤ 30 nm
- 동작 전압 ≤ 1.0 V
- 동작 속도 ≥ 100 MHz
- NEM 메모리 retention time ≥ 10 years
- NEM 메모리 endurance cycle 수 $\geq 10,000$ times
- NEM 메모리 수직 적층 수 ≥ 3 layers
- 연상형 메모리 크기 $\geq 16 \times 16$
- 최소 스케일, 읽기/쓰기 시간 자유 제시

(2) 지능형 반도체 동작 특성

- 3가지 이상의 지능형 반도체 응용을 구현하고(예. CAM, VMM, PUF 등), 최소 1가지 이상의 응용에 대해 시스템 전력효율 $\geq 1,000$ TOPS/W 을 만족시키되 구체적인 목표 수치는 자율 제시
- 지능형 반도체 동작의 성능 평가 방안 및 목표(정확도 등)는 자유 제시
- 주변 구동 회로부의 에너지 및 전력 소모를 최소화 하기 위한 방안 자유 제시

(3) 주변 회로 개발 후 NEM 소자 어레이와 집적한 시스템 구현

- 개발한 NEM 소자 어레이(크기 $\geq 16 \times 16$)와 구동 회로를 최소 on-board 수준 이상으로 집적한 하드웨어를 제작하여 전체 cell의 동작 여부 측정 검증할 것
- NEM 소자 어레이와 연동되는 DAC, ADC와 같은 주변 회로들은 동일 die내 집적함.

[참고] 국내외 관련 기술 주요 성능지표

평가 항목 (주요 성능)	단위	세계 최고수준	연구개발 전 국내 수준	목표설정 근거
		성능수준	성능수준	
동작전압	V	> 3	> 1.3	IEDM / IEEE Electron Device Letters
어레이 크기	-	< 2x2	8x8	IEDM / IEEE Electron Device Letters
지능형 반도체 동작 종류	-	1	1	IEDM / IEEE Electron Device Letters

3. 성과목표

- CMOS 소자/회로 및 배선에 영향을 미치지 않는 고집적 NEM 소자/공정기술 확보
- NEM 소자 기반 지능형 반도체 소자/공정/설계 기술 확보
- 집적된 칩을 실험적으로 구현하여 NEM 기반 스마트 배선 소자의 1,000 TOPS/W 달성 가능성을 검증
- 국내·외 특허 출원 및 등록 자율 제시(국가 R&D 연구비 10억당 출원 4건/등록 2건 내외 수준 고려)
 - 출원 및 등록 특허는 기여율이 50% 이상인 특허에 한하여 성과를 인정함
(단계, 최종평가위원회 검토사항)
- SCI(E)급 논문 게재 건수 자율 제시(국가 R&D 연구비 10억당 5편 내외 수준 고려)
 - 게재 논문은 기여율 50% 이상인 논문에 한하여 성과를 인정함
(단계, 최종평가위원회 검토사항)
- JCR 상위 10% 이내 논문 게재 건수 자율 제시
- 본 과제를 통한 석·박사 배출 예상 인원 자율 제시

4. 지원기간/예산/추진체계

- 연구개발기간: '25.4.~'27.12. (총 33개월 내외)
- 정부지원연구개발비: 총 2,648백만원 내외 ('25년 722백만원 내외)

총 연구기간('25.4.~'27.12. / 33개월)		
1차년도	2차년도	3차년도
'25.4.~'25.12.	'26.1.~'26.12.	'27.1.~'27.12.
722백만원	963백만원	963백만원

※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능

- 선정 과제 수: 1개 과제 (단위과제 - 공동 또는 단독)
- 과제형태: (일반)연구개발과제
- 주관연구개발기관: 대학/출연(연)/기업부설연구소 등
- 기술료 징수여부: 징수

5. 특기사항

- 실제 제출하는 과제명은 연구자의 아이디어가 포함될 수 있는 제목으로 연구계획서 제출
- 과제 목표에 부합하도록 소재 및 소자, 회로구현을 위한 연차별 통합추진체계를 구체적으로 제시
- 제안서 상에 제시된 소자에 대한 선행개발 이력 및 결과 제시 필요
- 다음 사항을 연구계획서에 제시 필요
 - 제안된 소자 및 시스템 아키텍처에 대한 구성도(단위 블록별 H/W, S/W 파트 명기)
 - 개발한 최종 결과물에 대한 실험적 검증 내용(방향성 및 범위 제시)
 - 전력효율(Power efficiency)에 대한 지표 및 목표산출과정 제시
 - 최종 결과물을 기반으로 실제 응용 가능한 시스템/어플리케이션 등 활용 방안 1종 이상